



(19)

(11) Publication number: 2000155157 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10332423

(51) Intl. Cl.: G01R 31/28 G11C 29/00

(22) Application date: 24.11.98

(30) Priority:

(43) Date of application
publication: 06.06.00(84) Designated
contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: NAKAI NOBUYUKI

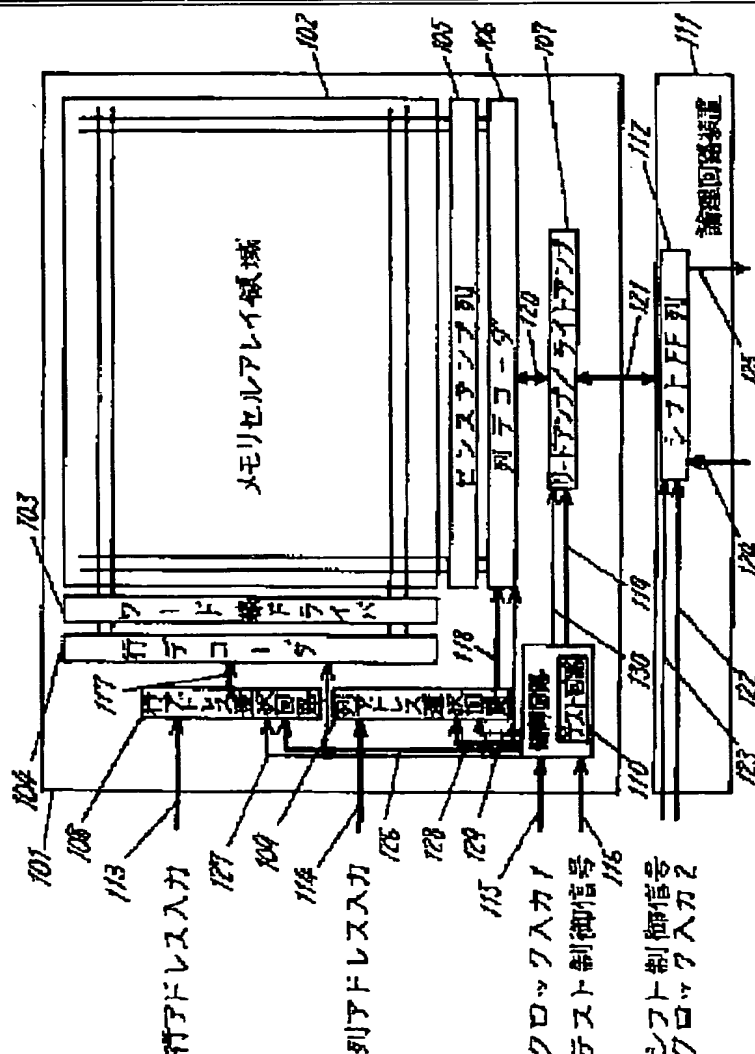
(74) Representative:

(54) SEMICONDUCTOR
DEVICE AND ITS TESTING
METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce development man-hours by generating a test pattern in a storage and writing it into a storage element, reading a group of data access signal lines, and reading the test pattern from a logic circuit device to an external terminal.

SOLUTION: In test operation, a row address selection circuit 108 and a column address selection circuit 109 select a test row address signal 126 and a test column address signal 128 and outputs a selective row address 117 and a selective column address 118, respectively. In synchronization with an incremented test column address, test write data 119 is outputted from a test circuit 110 with adjacent signal lines as opposite polarities. The data is simultaneously read after writing is completed, is taken into a shift FF array 122 from a group of signals 121 for accessing data, and then a shift control signal 123 is enabled, and the data stream being taken in is taken out of the shift output. As a result, the connection of the group of signals 121 for connecting the storage device 101 and the logic circuit device 111 can be verified and also the short-circuiting of the adjacent signal lines can be verified.



COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-155157

(P2000-155157A)

(43)公開日 平成12年6月6日(2000.6.6)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 1 R 31/28		G 0 1 R 31/28	V 2 G 0 3 2
G 1 1 C 29/00	6 7 5	G 1 1 C 29/00	6 7 5 L 5 L 1 0 6
		G 0 1 R 31/28	B 9 A 0 0 1

審査請求 未請求 請求項の数15 O L (全 8 頁)

(21)出願番号 特願平10-332423

(22)出願日 平成10年11月24日(1998.11.24)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 中井 信行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 2G032 AA01 AA07 AD05 AD06 AD08

AE07 AE08 AE11 AG07

5L106 AA01 DD08 DD11 EE00

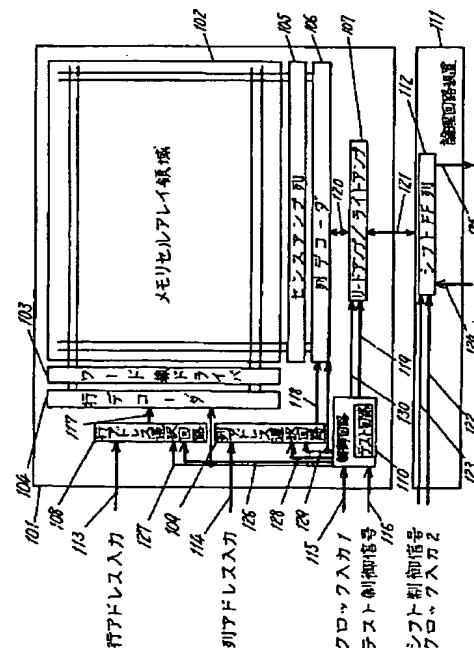
9A001 BZ05 EZ02 HZ34 KZ37 LZ05

(54)【発明の名称】 半導体装置及びそのテスト方法

(57)【要約】

【課題】 半導体装置上に混載された記憶装置と論理回路装置間を接続するデータ信号線の接続確認と遅延時間測定を行う手段を提供する。

【解決手段】 記憶装置内に自動的にデータを書き込むテストパターン発生回路を設け、書き込んだデータを接続先の論理回路装置のシフト動作フリップフロップで受け取り、外部端子にシリアルデータとして出力することにより、データ信号線の接続確認と遅延時間測定を容易に行えるようにする。



【特許請求の範囲】

【請求項 1】 複数のワード線及び複数のビット線対と、前記ワード線と前記ビット線対との各交点にメモリセルが配置されて構成されるメモリセルアレイと、行アドレスを受け、デコードする行デコーダと、前記行デコーダに対応するワード線を駆動するワード線駆動回路と、列アドレスを受け、デコードする列デコーダと、前記列デコーダに対応するビット線対を選択して電位差を増幅する前記各ビット線対ごとに設けられたセンスアンプ列と、外部とのデータの入出力を行う為のリード／ライトアンプ回路とを備え、特定のテストモード時にテスト用行アドレスを発生するテスト行アドレス発生手段と、テスト用列アドレスを発生するテスト列アドレス発生手段と、前記テスト行アドレスと前記テスト列アドレスの発生に同期して、メモリセルに書き込むテストデータを発生するテスト書き込みデータ発生手段と、通常動作時の行アドレスと前記テスト行アドレスの一方を選択する行アドレス選択手段と、通常動作時の列アドレスと前記テスト列アドレスの一方を選択する列アドレス選択手段と、通常動作時の書き込みデータと前記テスト書き込みデータを選択するテスト書き込みデータ選択手段と、前記テスト書き込みデータを読み出す手段を備えた記憶装置を備えたことを特徴とする半導体装置。

【請求項 2】 前記テスト書き込みデータは、読み出す時に隣接するデータの極性が反転している事を特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記読み出したデータを受け取るシフト動作可能なフリップフロップを備え、前記フリップフロップにより前記記憶装置と接続されている論理回路装置を前記記憶装置と共に備えたことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 特定のテストモード時に、前記フリップフロップに読み込んだデータをシフト動作により外部端子に読み出せることを特徴とする請求項 1、または 3 記載の半導体装置。

【請求項 5】 外部端子によって特定のテストモードと通常動作モードとの切り換えが可能であることを特徴とする記憶装置と論理回路装置を共に備えた請求項 1、3、または 4 記載の半導体装置。

【請求項 6】 請求項 1、3、4、または 5 記載の半導体装置のテスト方法であって、前記半導体装置の前記外部端子の切り換え動作によって、前記特定のテストモードによる前記記憶装置と前記論理回路を接続する信号線の接続確認を行うことを特徴とする半導体装置のテスト方法。

【請求項 7】 請求項 1、3、4、または 5 記載の半導体装置のテスト方法であって、前記半導体装置の前記外部端子の切り換え動作によって、前記特定のテストモードによる前記記憶装置と前記論理回路を接続する信号線の遅延時間測定を行うことを特徴とする半導体装置のテ

スト方法。

【請求項 8】 複数のワード線及び複数のビット線対と、前記ワード線と前記ビット線対との各交点にメモリセルが配置されて構成されるメモリセルアレイと、行アドレスを受け、デコードする行デコーダと、前記行デコーダに対応するワード線を駆動するワード線駆動回路と、列アドレスを受け、デコードする列デコーダと、前記列デコーダに対応するビット線対を選択して電位差を増幅する前記各ビット線対ごとに設けられたセンスアンプ列と、外部とのデータの入出力を行う為のリード／ライトアンプ回路とを備え、特定のテストモード時にテスト用行アドレスを発生するテスト行アドレス発生手段と、テスト用列アドレスを発生するテスト列アドレス発生手段と、前記テスト行アドレスと前記テスト列アドレスの発生に同期して、メモリセルに書き込むテストデータを発生するテスト書き込みデータ発生手段と、通常動作時の行アドレスと前記テスト行アドレスの一方を選択する行アドレス選択手段と、通常動作時の列アドレスと前記テスト列アドレスの一方を選択する列アドレス選択手段と、通常動作時の書き込みデータと前記テスト書き込みデータを選択するテスト書き込みデータ選択手段と、前記テスト書き込みデータを読み出す手段を備えた記憶装置を複数備えたことを特徴とする半導体装置。

【請求項 9】 前記複数の記憶装置において、前記テスト書き込みデータは、読み出す時に隣接するデータの極性が反転していることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】 前記読み出したデータを受け取るシフト動作可能なフリップフロップを備え、前記フリップフロップにより前記複数の記憶装置と相互に接続されている論理回路装置を前記複数の記憶装置と共に備えたことを特徴とする請求項 8 記載の半導体装置。

【請求項 11】 特定のテストモード時に、前記シフト FF に読み込んだデータをシフト動作により外部端子に読み出せることを特徴とする請求項 8、10 記載の半導体装置。

【請求項 12】 外部端子によって特定のテストモードと通常動作モードとの切り換えが可能であることを特徴とする複数の記憶装置と論理回路装置を共に備えた請求項 10、11 記載の半導体装置。

【請求項 13】 請求項 8、10、11、12 記載の半導体装置のテスト方法であって、前記半導体装置の前記外部端子の切り換え動作によって、前記特定のテストモードによる前記複数の記憶装置と前記論理回路を接続する信号線の接続確認を行うことを特徴とする半導体装置のテスト方法。

【請求項 14】 前記半導体装置の前記外部端子の切り換え動作によって、前記特定のテストモードによる前記複数の記憶装置と前記論理回路を接続する信号線の遅延時間測定を行うことを特徴とする請求項 13 記載の半導体

装置のテスト方法。

【請求項15】 特定のテストモード時に前記複数の記憶装置から一つを選択して、読み出し動作をさせて、残りの前記記憶回路は読み出し動作をさせないことを特徴とする請求項8、10、11、12記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特にDRAM（ダイナミック・ランダム・アクセス・メモリ）と論理回路を搭載した半導体装置及びその検査方法 10 に関し、詳しくは、前記記憶装置と前記論理回路を接続する信号線の接続確認と遅延時間測定を目的とする手段及び構成に関する。

【0002】

【従来の技術】近年、記憶装置と論理回路装置を搭載した半導体装置が、システムLSIを実現する手段として脚光を浴びている。その大きな特徴の一つは、前記記憶装置と前記論理回路装置が個々に別れた半導体装置によるシステムでは、データアクセスが双方を接続する外部端子数の制約により制限されてシステムの性能限界を決定付けていたが、一つの半導体装置上に搭載する事により、同時に多くの信号線で接続できる為、前記データアクセス量が飛躍的に増大でき、システム性能も飛躍的に向上できることである。

【0003】一方、前記半導体装置の微細化技術の進歩による高集積化と、それに伴う機能の高度化、複雑化によって、前記半導体装置のテストも複雑化し、テストの信頼性を保証するテスト用の信号パターンの開発工数、ひいては開発期間が増大し、テスト時間も増大してきている。この中で、いかに信頼性を損なわずに前記開発工数を削減し、前記テスト時間の短縮をするかが、製造コスト低減をする上での課題、ひいては製品の競争力を維持していく上での大きな課題となっている。

【0004】中でも前記記憶装置と前記論理回路装置を接続する前記データアクセスを行う信号線群の接続確認や遅延時間測定は各々のテスト手法が大きく異なる為、前記課題の一つとなっている。

【0005】まず、一般的に前記記憶装置は少ない数の専用外部端子を設けて、比較的安価な前記記憶装置専用のテスト装置によって同時に多数個を測定するテスト手法が取られる。

【0006】また、一般的に前記論理回路装置は、機能上多数の外部端子を必要とする為、比較的高価なテスト装置によって、一個ずつ測定するテスト手法が取られる。

【0007】即ち、半導体装置としては、前記2段階のテスト手法で、その信頼性を保証しているのが一般的である。ここで、前記データアクセスを行う信号線群の接続確認を行うには、前記論理回路装置から前記記憶装置に前記信号線群を介して前記データアクセスを行う動作 50

をさせて、その結果を何らかの形で外部端子から取り出して判定するテスト手法が一般的である。

【0008】さらに、前記データアクセスを行う信号線群の遅延時間測定を行うには、前記論理回路装置から前記記憶装置に前記信号線群を介して前記データアクセスを行う動作をさせて、その受け渡しタイミングを変動させ、正否を何らかの形で外部端子から取り出して判定するテスト手法が一般的となるが、極めて複雑なテストとなる。

【0009】

【発明が解決しようとする課題】しかしながら、前記従来の半導体装置のデータアクセスを行う信号線群の接続確認や遅延時間測定を行うテスト手法は、次のような欠点を持つ。

【0010】前記半導体装置の特徴である前記記憶装置と前記論理回路装置を接続する多くの信号線群は、前記外部端子より数が多い為、前記データアクセスを行う事により接続確認や遅延時間測定をする動作は、前記外部端子の所で、何らかの形で分割して取り出す必要があり、テスト時間の増大を招くことになる。

【0011】また、前記データアクセスを行う動作をさせる為に、設計する半導体装置個々にテスト用の信号パターンを作成する必要があるが、前記テスト用の信号パターンの共有化、再利用が難しく、開発工数、ひいては開発期間の増大を招くことになる。

【0012】

【課題を解決するための手段】本発明は、係る点に着目し、その目的は、第一に前記記憶装置と前記論理回路装置のデータアクセスを行う信号線群の接続確認や遅延時間測定を行うテスト回路及びテスト手法を提供する事であり、第二にテスト用信号パターンの開発工数を削減し、ひいては開発期間を短縮、さらにはテスト時間の短縮を実現する事にある。

【0013】以上の目的を達成する為に、本発明では、第一に前記記憶装置内に配置したテストパターン生成回路で生成したテストパターンを前記記憶装置の記憶素子に書き込み、前記データアクセスを行う信号線群に前記記憶素子に書き込んだテストパターンを読み出す構成を採用する事、第二に読み出したテストパターンを論理回路装置から外部端子に読み出す構成を採用する。

【0014】即ち、請求項1記載の発明の半導体装置は、複数のワード線及び複数のビット線対と、前記ワード線と前記ビット線対との各交点にメモリスルが配置されて構成されるメモリスルアレイと、行アドレスを受け、デコードする行デコーダと、前記行デコーダに対応するワード線を駆動するワード線駆動回路と、列アドレスを受け、デコードする列デコーダと、前記列デコーダに対応するビット線対を選択して電位差を増幅する前記各ビット線対ごとに設けられたセンスアンプ列と、外部とのデータの入出力を行う為のリード/ライトアンプ回

路とを備え、特定のテストモード時にテスト用行アドレスを発生するテスト行アドレス発生手段と、テスト用列アドレスを発生するテスト列アドレス発生手段と、前記テスト行アドレスと前記テスト列アドレスの発生に同期して、メモリセルに書き込むテストデータを発生するテスト書き込みデータ発生手段と、通常動作時の行アドレスと前記テスト行アドレスを選択する行アドレス選択手段と、通常動作時の列アドレスと前記テスト列アドレスの一方を選択する列アドレス選択手段と、通常動作時の書き込みデータと前記テスト書き込みデータの一方を選択するテスト書き込みデータ選択手段と、前記テスト書き込みデータを読み出す手段を備えた記憶装置を備えたことを特徴とする。

【0015】さらに、請求項2記載の発明の半導体装置は、請求項1記載の半導体装置において、前記テスト書き込みデータは、読み出す時に隣接するデータの極性が反転していることを特徴とする。

【0016】さらに、請求項3記載の発明の半導体装置は、請求項1記載の半導体装置において、前記読み出したデータを受け取るシフト動作可能なフリップフロップ（以下シフトFF）を備え、前記シフトFFにより前記記憶装置と接続されている論理回路装置を前記記憶装置と共に備えたことを特徴とする。

【0017】さらに、請求項4記載の発明の半導体装置は、請求項1、3記載の半導体装置において、特定のテストモード時に、前記シフトFFに読み込んだデータをシフト動作により外部端子に読み出せることを特徴とする。

【0018】さらに、請求項5記載の発明の半導体装置は、請求項1、3、4記載の半導体装置で外部端子によって特定のテストモードと通常動作モードとの切換えが可能であることを特徴とする記憶装置と論理回路装置と共に備えた半導体装置。

【0019】さらに、請求項6記載の発明の半導体装置のテスト方法は、請求項1、3、4、5記載の半導体装置において、前記半導体装置の前記外部端子の切換え動作によって、前記特定のテストモードによる前記記憶装置と前記論理回路を接続する信号線の接続確認を行うことを特徴とする。

【0020】さらに、請求項7記載の発明の半導体装置のテスト方法は、請求項1、3、4、5記載の半導体装置において、前記半導体装置の前記外部端子の切換え動作によって、前記特定のテストモードによる前記記憶装置と前記論理回路を接続する信号線の遅延時間測定を行うことを特徴とする。

【0021】さらに、請求項8記載の発明の半導体装置は、複数のワード線及び複数のビット線対と、前記ワード線と前記ビット線対との各交点にメモリセルが配置されて構成されるメモリセルアレイと、行アドレスを受け、デコードする行デコーダと、前記行デコーダに対応

するワード線を駆動するワード線駆動回路と、列アドレスを受け、デコードする列デコーダと、前記列デコーダに対応するビット線対を選択して電位差を増幅する前記各ビット線対ごとに設けられたセンスアンプ列と、外部とのデータの入出力を行うためのリード／ライトアンプ回路とを備え、特定のテストモード時にテスト用行アドレスを発生するテスト行アドレス発生手段と、テスト用列アドレスを発生するテスト列アドレス発生手段と、前記テスト行アドレスと前記テスト列アドレスの発生に同期して、メモリセルに書き込むテストデータを発生するテスト書き込みデータ発生手段と、通常動作時の行アドレスと前記テスト行アドレスを選択する行アドレス選択手段と、通常動作時の列アドレスと前記テスト列アドレスを選択する列アドレス選択手段と、通常動作時の書き込みデータと前記テスト書き込みデータを選択するテスト書き込みデータ選択手段と、前記テスト書き込みデータを読み出す手段を備えた記憶装置を複数備えたことを特徴とする。

【0022】さらに、請求項9記載の発明の半導体装置は、請求項8記載の半導体装置において、前記複数の記憶装置において、前記テスト書き込みデータは、読み出す時に隣接するデータの極性が反転していることを特徴とする。

【0023】さらに、請求項10記載の発明の半導体装置は、請求項8記載の半導体装置において、前記読み出したデータを受け取るシフト動作可能なフリップフロップ（以下シフトFF）を備え、前記シフトFFにより前記複数の記憶装置と相互に接続されている論理回路装置を前記複数の記憶装置と共に備えたことを特徴とする。

【0024】さらに、請求項11記載の発明の半導体装置は、請求項8、10記載の半導体装置において、特定のテストモード時に、前記シフトFFに読み込んだデータをシフト動作により外部端子に読み出せる事を特徴とする。

【0025】さらに、請求項12記載の発明の半導体装置は、請求項10、11記載の半導体装置で外部端子によって特定のテストモードと通常動作モードとの切換えが可能である事を特徴とする複数の記憶装置と論理回路装置と共に備えた半導体装置。

【0026】さらに、請求項13記載の発明の半導体装置のテスト方法は、請求項8、10、11、12記載の半導体装置において、前記半導体装置の前記外部端子の切換え動作によって、前記特定のテストモードによる前記複数の記憶装置と前記論理回路を接続する信号線の接続確認を行うことを特徴とする。

【0027】さらに、請求項14記載の発明の半導体装置のテスト方法は、請求項13記載の半導体装置において、前記半導体装置の前記外部端子の切換え動作によって、前記特定のテストモードによる前記複数の記憶装置と前記論理回路を接続する信号線の遅延時間測定を行う

ことを特徴とする。

【0028】さらに、請求項15記載の発明の半導体装置は、請求項9、11、12記載の半導体装置において、特定のテストモード時に前記複数の記憶装置から一つを選択して、読み出し動作をさせて、残りの前記記憶回路は読み出し動作をさせないことを特徴とする。

【0029】以上の構成により、前記記憶装置と前記論理回路装置を接続する前記データアクセスを行う信号線群の接続確認と遅延時間測定は、前記論理回路装置を複雑に動作させてデータアクセスを行わなくても可能となり、テストパターン開発工数の削減、ひいては開発期間の短縮が可能となる。

【0030】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。

【0031】図1は、本発明の実施の形態の半導体装置の構成を示すブロック図である。101は記憶装置、102は複数のワード線及び複数のビット線対と、前記ワード線と前記ビット線対との各交点にメモリセルが配置されて構成されるメモリセルアレイ領域、103は前記ワード線を駆動するワード線ドライバ、104は行アドレスを受け、デコードする行デコーダ、105は前記ビット線対を選択して電位差を増幅する前記各ビット線対ごとに設けられたセンスアンプ列、106は列アドレスを受け、デコードする列デコーダ、107は外部とのデータの入出力を行うためのリードアンプ/ライトアンプ回路、108は通常動作時の行アドレスとテスト行アドレスを選択する行アドレス選択回路、109は通常動作時の列アドレスとテスト列アドレスを選択する列アドレス選択回路、110は制御回路とテスト回路、111は論理回路装置、112はシフト動作可能なFF列、113は通常動作時の行アドレス信号入力、114は通常動作時の列アドレス信号入力、115は110へ供給されるクロック入力、116は110へ供給されるテスト制御信号、117は108で選択された行アドレス信号、118は109で選択された列アドレス信号、119は110で発生したテスト書き込みデータ、120は102と107を接続するデータ入出力線群、121は101と111を接続するデータアクセス用の信号線群、122は112へ供給されるクロック入力、123は112へ供給されるシフト制御信号、124は112へ接続されるシフト入力信号、125は112へ接続されるシフト出力信号、126は110で発生したテスト行アドレス信号、127は110で発生した行アドレス制御信号、128は110で発生したテスト列アドレス信号、129は110で発生した列アドレス制御信号、130は110で発生したテスト書き込みデータを書き込むための制御信号である。

【0032】図2の201は図1の110の制御回路とテスト回路の詳細な構成を示しており、202はテスト

回路部分を示している。203はテスト制御信号発生回路、204はテスト書き込みデータを発生するテストパターン発生回路、205はテスト用列アドレスを発生するテスト列アドレス信号発生回路、206はテスト用行アドレスを発生するテスト行アドレス信号発生回路、207は通常動作時の制御信号とテスト時の制御信号を切り替える回路、208は通常動作時の制御信号発生回路でテスト時も共通な動作をさせる制御信号は208から供給され、209は208に供給するクロック入力、210は208に供給するテストモードに移行する為の制御信号、211は206で発生するテスト行アドレス信号、212は205で発生するテスト列アドレス信号、213は204で発生するテスト書き込みデータ、214は203で発生する行アドレス制御信号、215は203で発生する列アドレス制御信号、216は207で選択された書き込みデータ制御信号、217は207に入力されるテスト時の書き込みデータ制御信号、218は通常動作時の書き込みデータ制御信号である。各信号、データは209に同期し、210のタイミングで動作する。

【0033】図3(a)301は、図1の108の行アドレス選択回路の構成を示しており、302は切換え回路、303は行アドレス信号、304はテスト行アドレス信号、305は選択された行アドレス信号、306は行アドレスを選択する制御信号である。

【0034】図3(b)307は、図1の109の列アドレス選択回路の構成を示しており、308は切換え回路、309は列アドレス信号、310はテスト列アドレス信号、311は選択された列アドレス信号、312は列アドレスを選択する制御信号である。

【0035】図4で401は、図1の111の論理回路装置の構成を示しており、402は図1の112に対応するシフトFF列、403は前記シフトFF列を構成するシフト動作可能なフリップフロップ、404は図1の121に対応する記憶装置と論理回路装置を接続するデータアクセス用の信号線、405はシフトFFを同期動作させるクロック入力、406はシフト入力信号線、407はシフト出力信号線で、各々外部端子に接続されている。408は通常動作とシフト動作を切り替える制御信号である。

【0036】図5はテスト回路動作の主要なタイミングチャートを示している。前記のような構成における動作を説明する。まず、図1でクロック入力115に同期したテスト制御信号116が通常動作側の場合を説明する。

【0037】通常動作時は、行アドレス選択回路108では行アドレス入力113を選択し117へ出力、列アドレス選択回路109では列アドレス入力114を選択し118へ出力する。選択行アドレス117は行デコーダ104でデコードされ、ワード線ドライバ103によ

り特定のワード線をアクセスできるようになる。選択列アドレス118は列デコーダ106でデコードされ、センスアンプ列により同様に特定のbit線対をアクセスできるようになる。前記ワード線とbit線対の交点で特定されたメモリセルに対して、リードアンプ/ライトアンプ回路107からデータの読み書きが可能となる。読み書き制御信号は制御回路110より供給される。読み書きされるデータはデータアクセス用の信号線群121を介して論理回路装置111に入出力される。

【0038】次に、前記クロック入力115に同期したテスト制御信号116がテスト動作側の場合を説明する。

【0039】テスト動作に切換わると、行アドレス制御信号127により行アドレス選択回路108はテスト行アドレス信号126を選択し、選択行アドレス117に出力する。この実施の形態では、行アドレス0番地に固定している。列アドレス制御信号129により列アドレス選択回路109はテスト列アドレス128を選択し、選択列アドレス118を出力する。この実施の形態では、列アドレスを順次インクリメントしている。次に、前記インクリメントされていくテスト列アドレスに同期するタイミングでテスト回路110からテスト書き込みデータ119が出力される。出力された前記テスト書き込みデータ119は制御信号130によりリードアンプ/ライトアンプ回路107を介してデータ入出力線群120に出力される。ここでの書き込みデータ119の配列は前記データアクセス用の信号線群121の配置とも対応させて隣接する信号線同士が逆極性となるように発生する。図5のタイミング図では、列アドレス2本、書き込みデータ線2本で示しているが、メモリセルアレイの容量により対応する列アドレスの本数が変わる。しかしながら基本構成は同じであることは言うまでもない。

【0040】テスト書き込みデータの書き込みが終了すると、次のタイミングで一斉に読み出し、データアクセス用の信号線群121から、論理回路装置111のシフトFF列112に取り込まれる。この時、クロック入力115、122は同期状態にあり、シフト制御信号123はディセーブル状態となっている。さらに、次のタイミングで前記シフト制御信号123をイネーブル状態にし、前記取り込まれたデータ列をシフト出力125からシフト動作によりシリアルに取り出す。以上の動作により、記憶装置101と論理回路装置111の接続線であるデータアクセス用の信号線群121の物理的なショート確認ができる。

【0041】ここで、記憶装置に入力されるクロック115と論理回路装置に入力されるクロック122のタイミングを外部端子から操作すれば、前記記憶装置と論理回路装置を接続するデータアクセス用の信号線群の遅延時間確認を行うことも容易である。

【0042】

【発明の効果】以上のように本発明によれば、記憶装置と論理回路装置を接続するデータアクセス用の信号線群の接続確認を論理回路装置を介した書き込み/読み出しデータを作成して行う必要がなくなり、共有化も容易な為、テスト開発工数の削減ができ、ひいてはテスト開発期間の短縮も実現できる。

【0043】さらに、データアクセス用の信号線群で隣接する信号線同士が逆の極性に成るように設定できる為、物理的な配線ショート確認もできる。

【0044】さらに、記憶装置と論理回路装置各々に入力されるクロックのタイミングを外部端子から操作できれば、前記記憶装置と論理回路装置を接続するデータアクセス用の信号線群の遅延時間確認を行うことも容易である。

【0045】さらに、複数の記憶回路と論理回路装置を備えた半導体装置においても、同様な効果が得られることは容易に導き出せる。

【図面の簡単な説明】

【図1】本発明の半導体装置の全体構成を示す図

【図2】本発明の半導体装置のテスト回路と制御回路の構成を示す図

【図3】本発明の半導体装置の行アドレス選択回路、列アドレス選択回路の構成を示す図

【図4】本発明の半導体装置の論理回路装置の構成を示す図

【図5】本発明の半導体装置の主要動作を示すタイミング図

【符号の説明】

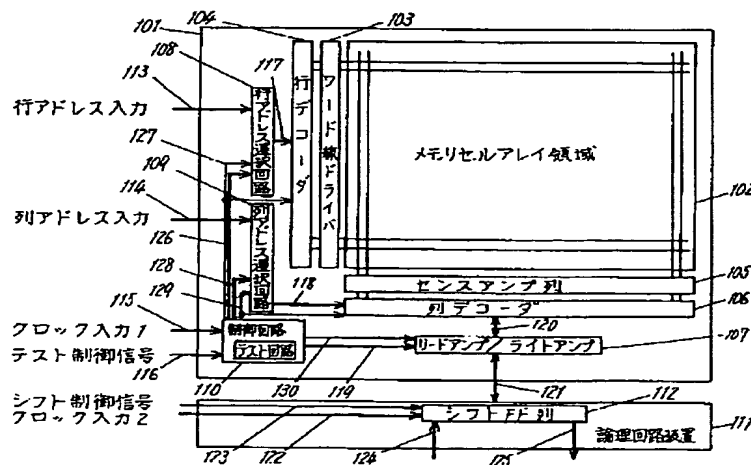
- 101 記憶装置
- 102 メモリセルアレイ領域
- 103 ワード線ドライバ
- 104 行デコーダ
- 105 各ビット線対ごとに設けられたセンスアンプ列
- 106 列デコーダ
- 107 リードアンプ/ライトアンプ回路
- 108 行アドレス選択回路
- 109 列アドレス選択回路
- 110 制御回路とテスト回路
- 111 論理回路装置
- 112 シフト動作可能なFF列
- 113 通常動作時の行アドレス信号入力
- 114 通常動作時の列アドレス信号入力
- 115 110へ供給されるクロック入力
- 116 110へ供給されるテスト制御信号
- 117 108で選択された行アドレス信号
- 118 109で選択された列アドレス信号
- 119 110で発生したテスト書き込みデータ
- 120 102と107を接続するデータ入出力線群
- 121 101と111を接続するデータアクセス用の

信号線群

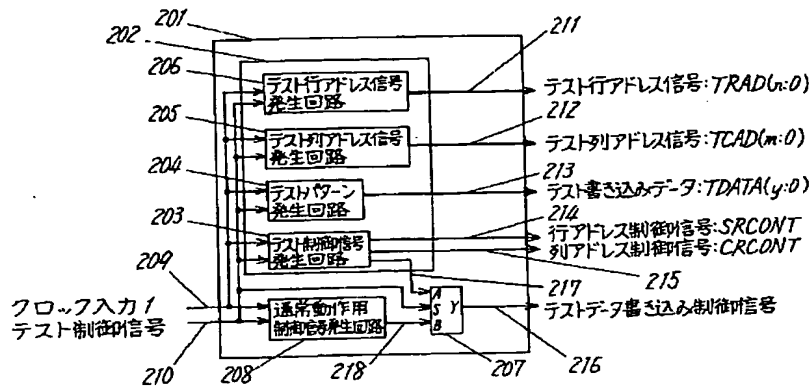
- 122 112へ供給されるクロック入力
 123 112へ供給されるシフト制御信号
 124 112へ接続されるシフト入力信号
 125 112へ接続されるシフト出力信号
 126 110で発生したテスト行アドレス信号
 127 110で発生した行アドレス制御信号
 128 110で発生したテスト列アドレス信号
 129 110で発生した列アドレス制御信号
 130 110で発生したテスト書き込みデータを書き込む為の制御信号
 201 110の制御回路とテスト回路の詳細な構成
 202 テスト回路部分
 203 テスト制御信号発生回路
 204 テスト書き込みデータを発生するテストパターン発生回路
 205 テスト用列アドレスを発生するテスト列アドレス信号発生回路
 206 テスト用行アドレスを発生するテスト行アドレス信号発生回路
 207 通常動作時の制御信号とテスト時の制御信号を切り替える回路
 208 通常動作時の制御信号発生回路
 209 208に供給するクロック入力
 210 208に供給するテストモードに移行する為の制御信号
 211 206で発生するテスト行アドレス信号
 212 205で発生するテスト列アドレス信号
 213 204で発生するテスト書き込みデータ *

- *214 203で発生する行アドレス制御信号
 215 203で発生する列アドレス制御信号
 216 207で選択された書き込みデータ制御信号
 217 207に入力されるテスト時の書き込みデータ制御信号
 218 通常動作時の書き込みデータ制御信号
 301 108の行アドレス選択回路の構成
 302 切換え回路
 303 行アドレス信号
 304 テスト行アドレス信号
 305 選択された行アドレス信号
 306 行アドレスを選択する制御信号
 307 109の列アドレス選択回路の構成
 308 切換え回路
 309 列アドレス信号
 310 テスト列アドレス信号
 311 選択された列アドレス信号
 312 列アドレスを選択する制御信号
 401 111の論理回路装置の構成
 402 112に対応するシフトFF列
 403 前記シフトFF列を構成するシフト動作可能なフリップフロップ
 404 記憶装置と論理回路装置を接続するデータアクセス用の信号線
 405 シフトFFを同期動作させるクロック入力
 406 シフト入力信号線で各々外部端子に接続
 407 シフト出力信号線で各々外部端子に接続
 408 通常動作とシフト動作を切り替える制御信号

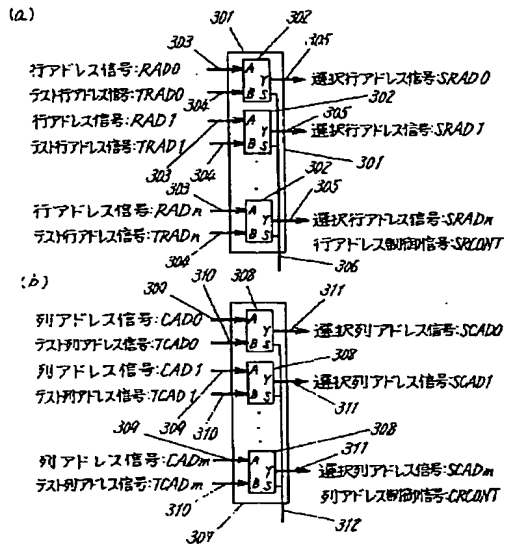
【図1】



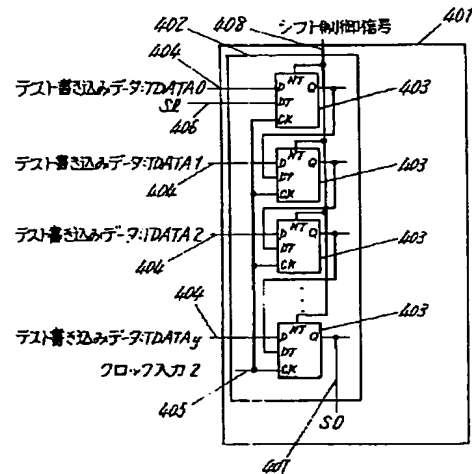
【図2】



【図3】



【図4】



【図5】

